

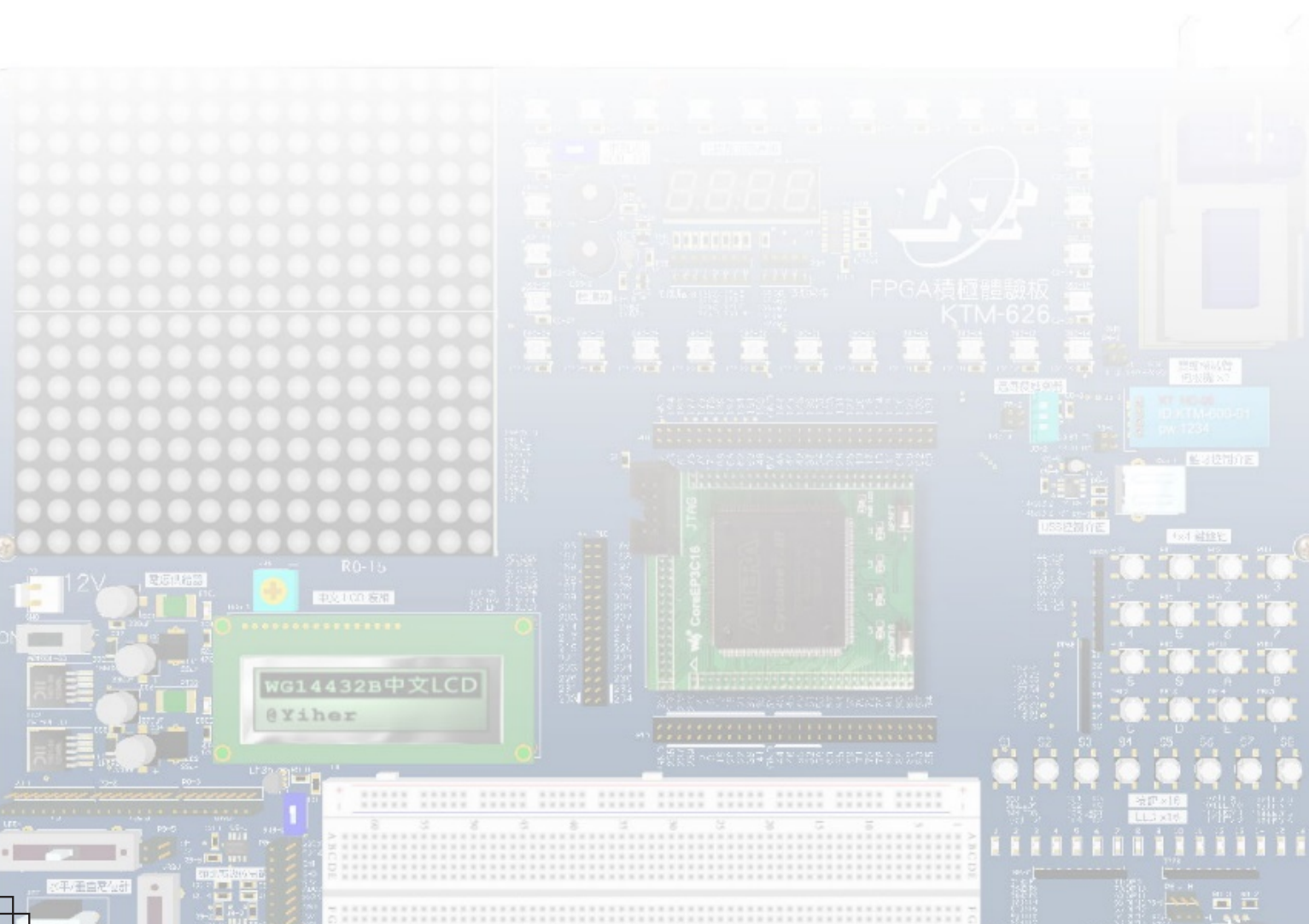
# 可程式邏輯裝置(PLD) 實習儀器使用及軟體操作

## 本章 綱要

- 實習 2-1 PLD 軟體之應用
- 實習 2-2 邏輯分析儀之應用

## 本章 目標

- 認識 PLD 軟體，並能操作。
- 認識邏輯分析儀，並能應用。



## 實習 2-1 PLD 軟體之應用

### 1 實習目的

1. 認識 Quartus II 的基本操作。
2. 認識 VHDL 的基本架構。
3. 應用 Quartus II 設計 PLD。
4. 應用 Quartus II 進行電路模擬。
5. 實體測試。

### 2 相關知識

#### 認識 Quartus II 的基本操作

通常在安裝 Quartus II 時，都會選擇在桌面上建立 Quartus II 的捷徑(🖱️)。指向這個捷徑快按滑鼠左鍵兩下，即可開啟 Quartus II，同時出現歡迎畫面，如圖 2-1-1 所示，如下說明：



▲圖 2-1-1 歡迎畫面

1. **Create a New Project (New Project Wizard)**：開啟專案精靈，以輔助我們快速建立設計專案，稍後以實例操作。
2. **Open Existing Project**：開啟既有的專案。
3. 在 **Open Existing Project** 下方列出先前所編輯專案，只要點選其中專案，即可開啟。
4. 右上方的×鈕的功能是關閉此歡迎畫面。
5. **Don't show this screen again** 選項是設定以後開啟 Quartus II 時，不要顯示此歡迎畫面。

## 一、應用專案精靈新增專案

若要應用專案精靈建立專案，可在歡迎畫面裡(圖 2-1-1)，則按 **Create a New Project (New Project Wizard)** 鈕開啟專案精靈，如圖 2-1-2 所示，再按下列步驟操作：

**步驟 1** 如圖 2-1-2 所示為專案精靈之簡介，整個專案精靈主要包括 5 個設定動作：

1. 設定專案資料夾與專案名稱。
2. 設定頂層設計名稱。
3. 包含外部檔案或函數庫。
4. 指定晶片。
5. 設定其他 EDA 工具。

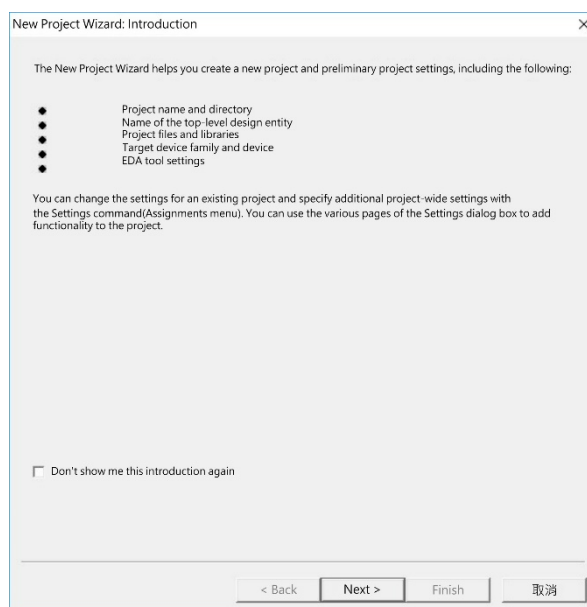
若下次使用專案精靈時，不想顯示可選取 **Don't show me this introduction again** 選項。

按 **Next >** 鈕，切換到下一個對話盒。

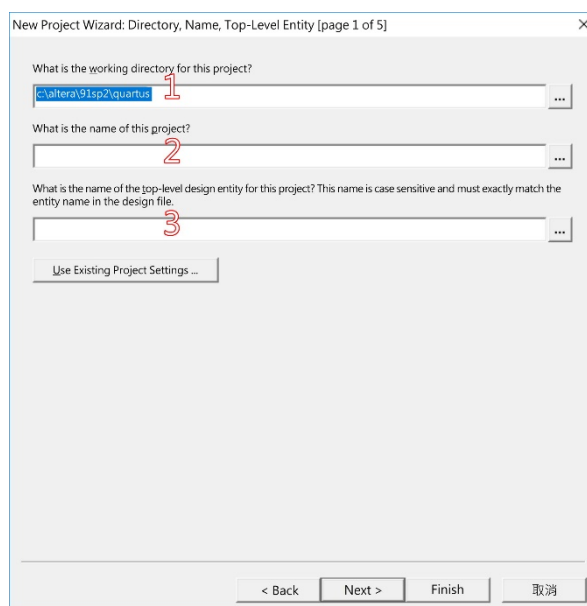
**步驟 2** 在此對話盒裡設定專案的基本資料，如圖 2-1-3 所示，其中包含 3 個欄位：

1. 設定專案資料夾，在此指定為 D:\CH2。
2. 設定專案名稱，在此指定為 decoder\_7SEG。
3. 設定頂層設計名稱(必須與頂層設計名稱相同)，在專案名稱欄位或頂層設計名稱欄位裡所輸入的名稱，將同步出現在另一個欄位。

完成設定後，按 **Next >** 鈕，切換到下一個對話盒。



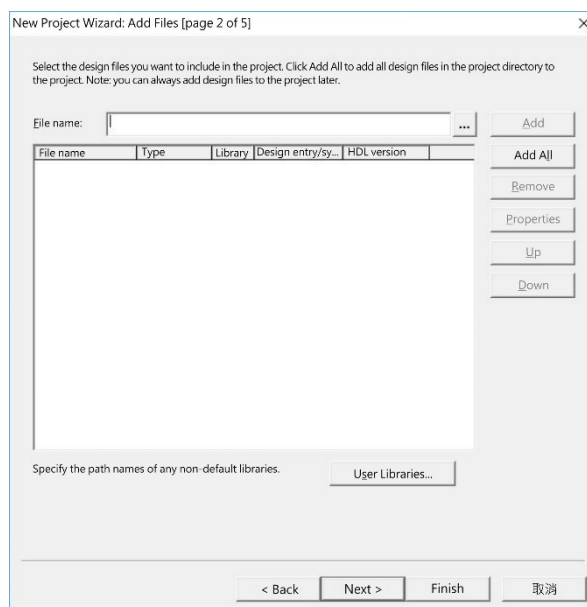
▲圖 2-1-2 專案精靈之簡介



▲圖 2-1-3 專案精靈之設定專案基本資料

**步驟 3** 在此對話盒裡設定所要加入專案的設計檔案或外部函數庫，如圖 2-1-4 所示。

若沒有檔案要加入專案，則按 **Next >** 鈕，切換到下一個對話盒。

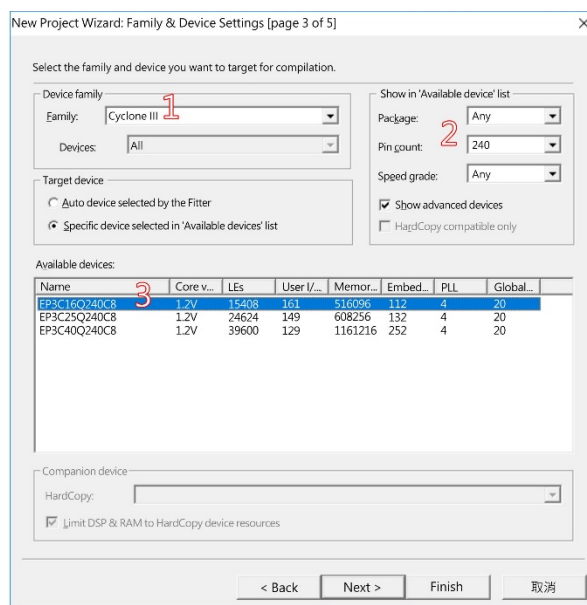


▲圖 2-1-4 專案精靈之指定包含檔

**步驟 4** 在此對話盒裡設定晶片，如圖 2-1-5 所示。其中主要在三個欄位裡操作：

1. 在 **Family** 欄位裡指定晶片族系為 Cyclone III。
2. 在 **Pin count** 欄位裡指定晶片的接腳數量為 240，即可在 Cyclone III 族系篩選，只列出 240 支接腳的晶片。
3. 在 **Available devices** 欄位裡指定晶片為 EP3C16Q240C8。

完成設定後，按 **Next >** 鈕，切換到下一個對話盒。



▲圖 2-1-5 專案精靈之指定晶片

**步驟 5** 在此對話盒裡設定所要使用的外部 EDA 工具，如圖 2-1-6 所示。

若非特殊需求，大部分設計都不需要使用外部 EDA 工具。本設計也不使用外部 EDA 工具，按 **Next >** 鈕，切換到下一個對話盒。

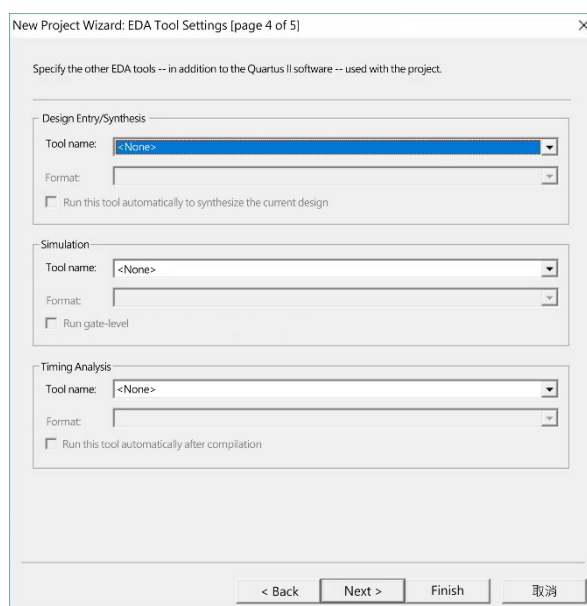


圖 2-1-6 專案精靈之指定工具

**步驟 6** 在此對話盒裡列出設定結果，如圖 2-1-7 所示。

若設定無誤，則按 **Finish** 鈕關閉對話盒，並產生一個空白的專案，視窗左上方的 **Project Navigator** 將出現此專案，如圖 2-1-8 所示。

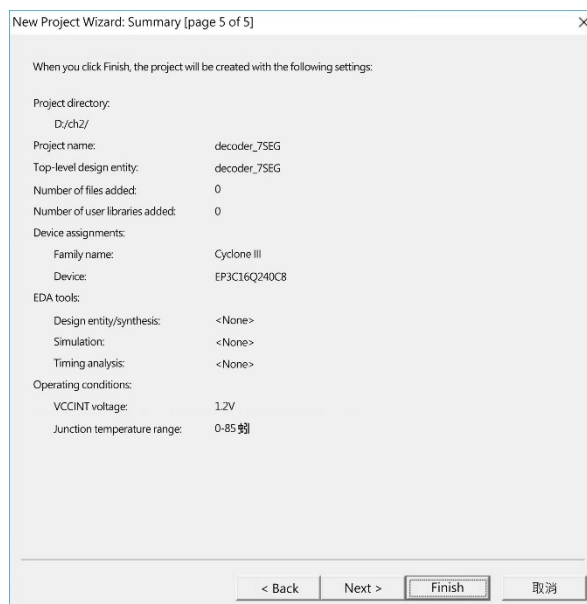


圖 2-1-7 專案精靈之結束

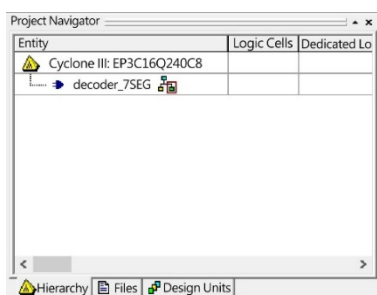



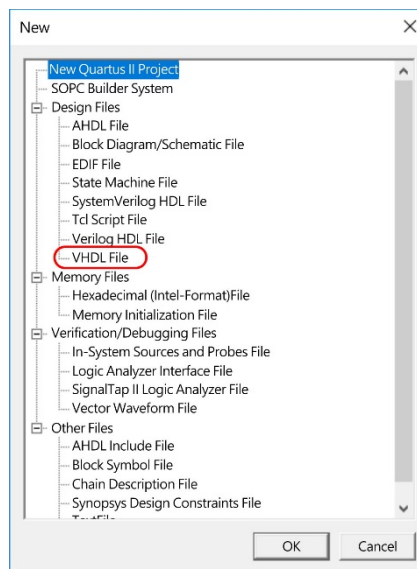


圖 2-1-8 專案瀏覽區塊

## 二、在專案裡新增設計檔案

緊接著新增 VHDL 設計檔，按  鈕(或按 **Ctrl** + **N** 鍵)，螢幕出現如圖 2-1-9 所示之對話盒。

選取 **VHDL File** 選項，再按  鈕即可開啟一個空白的 VHDL 編輯區。緊接著，啟動 **File/Save As...** 命令，在隨即出現的存檔對話盒裡，直接按  鈕，即可指定檔名為 decoder\_7SEG(與專案相同)，存檔並完成新增 VHDL 設計檔。



▲圖 2-1-9 開新檔案對話盒



### 認識 VHDL 的基本架構

如圖 2-1-10 所示，基本上 VHDL 設計檔為文字檔，其基本架構包括三部分：**函數庫宣告區**、**實體區**與**架構區**，如下說明：

```

-- 函數庫宣告區
Library IEEE;
Use IEEE.std_logic_1164.all;
Use IEEE.std_logic_unsigned.all;

-- 實體區
Entity decoder_7SEG is
  Port(
    CA_CC:in std_logic;
    Din:in std_logic_vector(3 downto 0);
    SEG7o:out std_logic_vector(6 downto 0));
End decoder_7SEG;

-- 架構區
Architecture Jack of decoder_7SEG is
  (宣告信號)
Begin
  (描述電路功能)
End Jack;
```

▲圖 2-1-10 VHDL 設計的基本架構

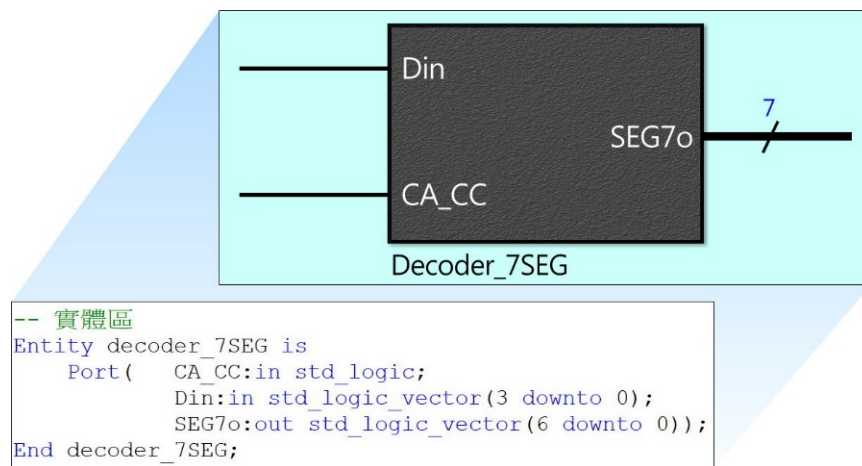
## ● 函數庫宣告區

在 VHDL 設計的開頭為函數庫宣告區，應用 `Library` 指令指定所要連結函數庫的路徑，再應用 `Use` 指令指定所要引用的函數庫與套件，可指定多個函數庫與套件，在如圖 2-1-10 裡，如下說明：

- 「`Library IEEE;`」宣告從系統的 `IEEE` 路徑，引用其中的函數庫與套件，而幾乎所有電路設計都要使用到 `IEEE` 路徑裡的函數庫與套件。
- 「`Use IEEE.std_logic_1164.all;`」宣告引用 `std_logic_1164` 函數庫中的所有套件 (`all`)。在實際的數位電路裡，信號並不只是「0」或「1」，還有許多狀態。在 `std_logic_1164` 函數庫定義實際數位電路信號的狀態，以及信號處理方式。此外，也定義了邏輯運算功能。

## ● 實體區

就字面上而言，`Entity`(實體區)是指從設計外部所看到的外觀，也就是設計與外部接觸的部分。就應用層面而言，`Entity` 定義該設計的輸出入埠(Ports)，或該 IC 的接腳。在此區裡，`Entity` 與 `is` 之間為設計名稱，也就是檔案名稱。而 `End` 關鍵字右邊也是設計名稱，雖可省略，為閱讀方便，最好不要省略。如圖 2-1-11 所示，此實體區所定義的輸出入埠，對應於一個實體 IC 的方塊圖。



▲圖 2-1-11 實體區的概念

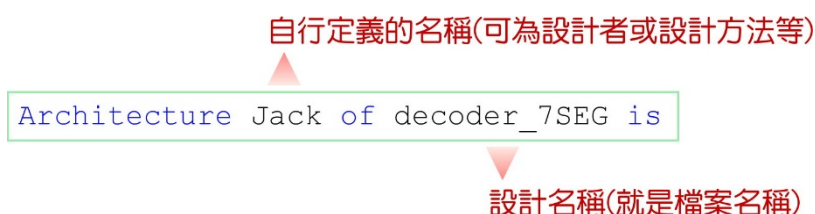
所有輸出入埠(接腳)的定義都在 `Port` 關鍵字右邊的一對小括號裡，而接腳定義之間以分號分隔，最後小括號右邊也要以分號結束定義，定義格式如下：

**接腳名稱：**接腳類型信號種類；

- **接腳名稱**必須是合法字元(字母、數字及\_)，不可為關鍵字或空白，第一個字不可為數字。
- **接腳類型**有輸入型接腳(in)、輸出型接腳(out)、輸出入型接腳(inout)與緩衝器型接腳(buffer)。
- **信號種類**有單一信號(std\_logic)、匯流排(std\_logic\_vector)等，若是匯流排，須在其右邊的小括號內標示範圍。

### ● 架構區

在架構區(Architecture)裡描述整個電路的結構或功能，以 **Architecture** 關鍵字開始，緊接著為設計者或設計方法(設計者定義的名稱)、**of** 關鍵字、設計名稱(檔案名稱)、**is** 關鍵字，如下：



上列可直接解讀為「由 Jack 所設計的 decoder\_7SEG 之電路架構如下」。

在上列與 **Begin** 關鍵字之間，可宣告所要使用的信號(Signal)、常數(Constant)或函數(Function)等。

電路的架構(內容)，則在 **Begin** 關鍵字與 **End** (或 **End Architecture**，也可為 **End Architecture** 設計者或設計方法) 關鍵字之間描述。

### ● 提示

1. 在 VHDL 設計裡，字母大小寫不區分，若要保持設計的水準，還是要保持一致性。
2. 在 Quartus II 裡編輯 VHDL 檔案，程式將自動辨識文字，而以不同顏色區分之。
  - 設計者自行定義的名稱，保持為黑色字。
  - 關鍵字(即指令、保留字等)為藍色字。若關鍵字輸入不正確，將不會變成藍色。
3. 連續兩個「-」(即--)代表其右邊為註解文字，不會被編譯。當然，一個高水準的設計，必然有適切的註解。



### ③ 實習所需之設備與材料

#### ● 儀表與工具表

項次	名稱	規格	數量	備註
1	個人電腦	已安裝 Quartus II	1 台	
2	實驗板	KTM-626 多功能 FPGA 開發平台	1 台	
3	USB Blaster		1 個	

### ④ 實習項目

在此將應用 EP3C16Q240C8 晶片，設計一個 16 進位碼轉七段顯示碼的解碼 IC，解碼表如下：

▼表 2-1-1 共陽極編碼表(低態動作)

輸入 Din	輸出							顯示
	g	f	e	d	c	b	a	
0000	1	0	0	0	0	0	0	0
0001	1	1	1	1	0	0	1	1
0010	0	1	0	0	1	0	0	2
0011	0	1	1	0	0	0	0	3
0100	0	0	1	1	0	0	1	4
0101	0	0	1	0	0	1	0	5
0110	0	0	0	0	0	1	0	6
0111	1	0	1	1	0	0	0	7
1000	0	0	0	0	0	0	0	8
1001	0	0	1	1	0	0	0	9
1010	0	0	0	1	0	0	0	A
1011	0	0	0	0	0	1	1	B
1100	1	0	0	0	1	1	0	C
1101	0	1	0	0	0	0	1	D
1110	0	0	0	0	1	1	0	E
1111	0	0	0	1	1	1	0	F


在此將進行三項實習：

1. 專案管理與電路設計
2. 電路模擬
3. 燒錄與實體測試


## 專案管理與電路設計

### 工作一：新建專案


**步驟 1** 開啟 Quartus II 後，在歡迎畫面裡按  鈕，開啟專案精靈(圖 2-1-2)。

**步驟 2** 按  鈕，切換到第 2 個對話盒(圖 2-1-3)：



1. 在 **What is the working directory for this project?** 欄位裡指定所要使用的專案資料夾，例如 D:\PLD\CH2。
2. 在 **What is the name of this project?** 欄位裡指定專案名稱，即 decoder\_7SEG。


**步驟 3** 按兩下  鈕，切換到第 4 個對話盒(圖 2-1-5)指定晶片：

1. 在 **Family** 欄位裡選擇 **Cyclone III** 選項。
2. 在 **Pin count** 欄位裡選擇 **240** 選項。
3. 在 **Available Devices** 欄位裡選擇 **EP3C16Q240C8** 選項。

**步驟 4** 按  鈕，即可建立此專案。

### 工作二：新增設計檔案

**步驟 1** 按  鈕，在隨即出現的對話盒(圖 2-1-9)裡，選取 **VHDL File** 選項，再按  鈕，即可開啟一個空白的編輯區。

**步驟 2** 啟動 **File/Save As...** 命令，在隨即出現的存檔對話盒裡，直接按  鈕，即可指定檔名為 decoder\_7SEG(與專案相同)，存檔並完成新增 VHDL 設計檔。

### 工作三：設計電路

**步驟 1** 在 VHDL 編輯區裡，按下列輸入：

```

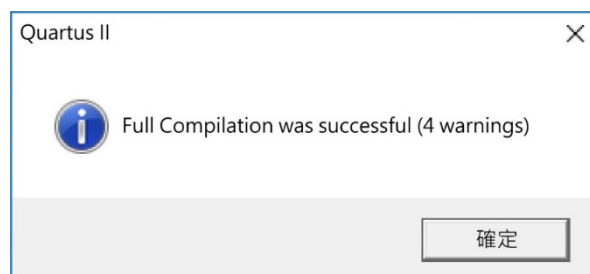
----- 七段顯示器解碼器 -----
Library IEEE;
Use IEEE.std_logic_1164.all;
Use IEEE.std_logic_unsigned.all;
-----
Entity decoder_7SEG is
  Port(  CA_CC:in std_logic;
        -- 由 CA_CC=1 共陽極輸出，CA_CC=0:共陰極輸出
        Din:in std_logic_vector(3 downto 0);
        -- 數字碼之輸入
        SEG7o:out std_logic_vector(6 downto 0));
        -- 七段顯示器之顯示信號輸出
End decoder_7SEG;
```

```
-----  
Architecture Jack of decoder_7SEG is  
  Signal SEG7:std_logic_vector(6 downto 0);  
  -- SEG7 為七段顯示器之顯示信號(七段碼)內部連接信號  
Begin  
  SEG7<=SEG7 When CA_CC='1' else Not SEG7;  
  With Din Select --gfedcba 共陽編碼  
    SEG7<= "1000000" When "0000", --0  
           "1111001" When "0001", --1  
           "0100100" When "0010", --2  
           "0110000" When "0011", --3  
           "0011001" When "0100", --4  
           "0010010" When "0101", --5  
           "0000010" When "0110", --6  
           "1011000" When "0111", --7  
           "0000000" When "1000", --8  
           "0011000" When "1001", --9  
           "0001000" When "1010", --A  
           "0000011" When "1011", --B  
           "1000110" When "1100", --C  
           "0100001" When "1101", --D  
           "0000110" When "1110", --E  
           "0001110" When "1111", --F  
           "1111111" When others;  
-----  
End Architecture Jack;
```

**步驟 2** 完成輸入後，按 **Ctrl** + **S** 鍵存檔。

**步驟 3** 按 **▶** 鈕(或按 **Ctrl** + **L** 鍵)進行編譯，若在編譯中發現錯誤，將會在下方欄位裡出現錯誤訊息，我們按錯誤訊息的指示，修改其中的碼，再存檔，並重新編譯。

**步驟 4** 若編譯成功，螢幕出現如圖 2-1-12 所示之對話盒，按 **確定** 鈕關閉對話盒即可。電路設計工作也告一個段落。





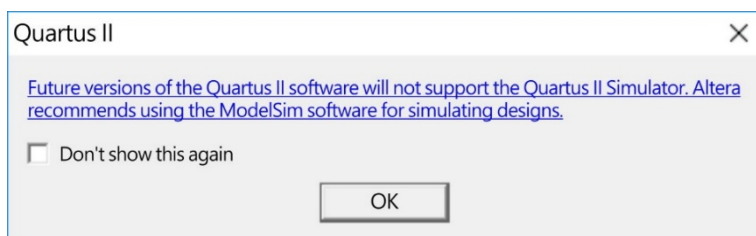
▲圖 2-1-12 完成編譯

## 電路模擬


完成編譯後，即可進行電路模擬，以確認電路的功能，如下步驟：

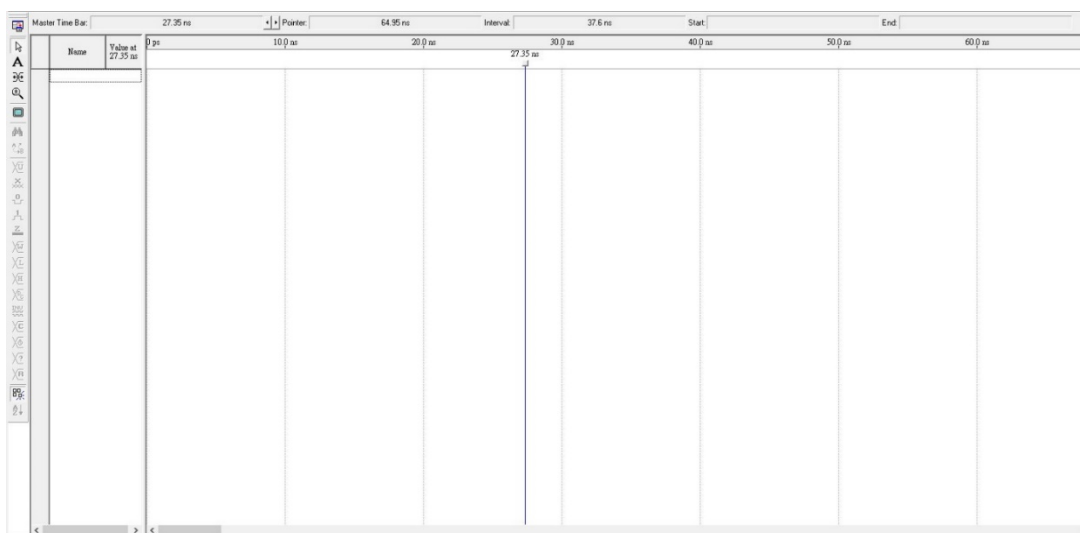
### 工作一：新增波形檔(.vwf)

- 步驟 1** 按  鈕，在隨即出現的對話盒(圖 2-1-9，2-6 頁)裡，選取 **Vector Waveform File** 選項，再按  鈕，螢幕可能會出現一個提示對話盒，如圖 2-1-13 所示。




▲圖 2-1-13 提示對話盒

- 步驟 2** 此對話盒提醒我們，這個版本是最後一個附電路模擬功能的版本，以後的版本就不再提供電路模擬功能，建議我們可改用 ModelSim 軟體(需額外購買)。按  鈕關閉對話盒即可開啟一個空白的波形編輯區，如圖 2-1-14 所示。



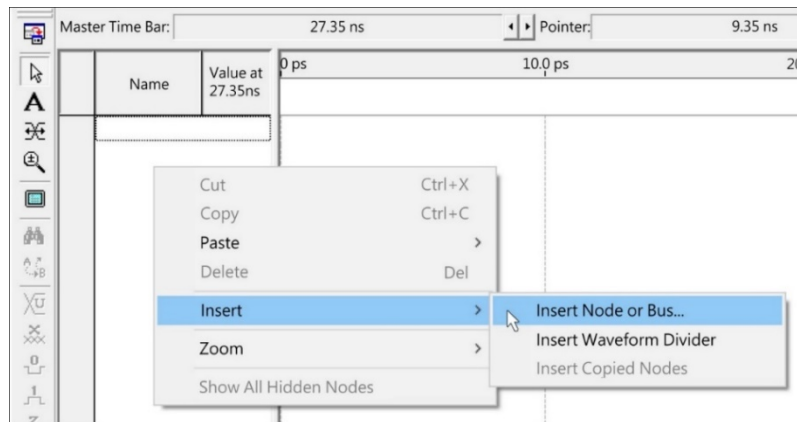
▲圖 2-1-14 波形編輯區

- 步驟 3** 啟動 **File/Save As...** 命令，在隨即出現的存檔對話盒裡，直接按  鈕，即可存為 decoder\_7SEG(與專案相同)波形檔。

## 工作二：編輯追蹤信號與模擬參數

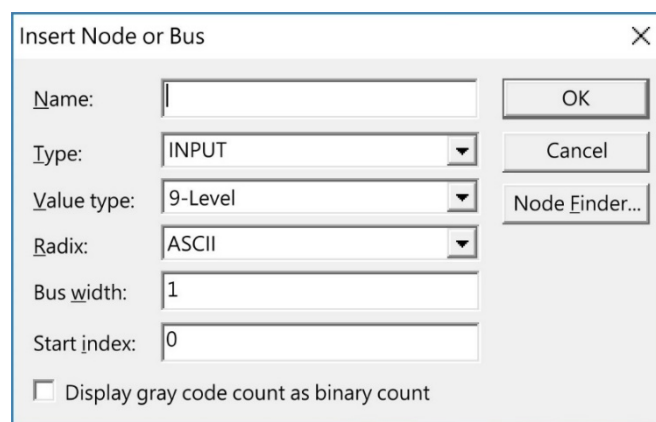
在此將所要追蹤(量測)的信號，連結到波形編輯區。另外，也要設定基本的模擬參數，包括模擬的時間長度與時間刻度，如下操作：

**步驟 1** 指向波形編輯區左邊的波形名稱欄位，按滑鼠右鍵拉出選單，如圖 2-1-15 所示。



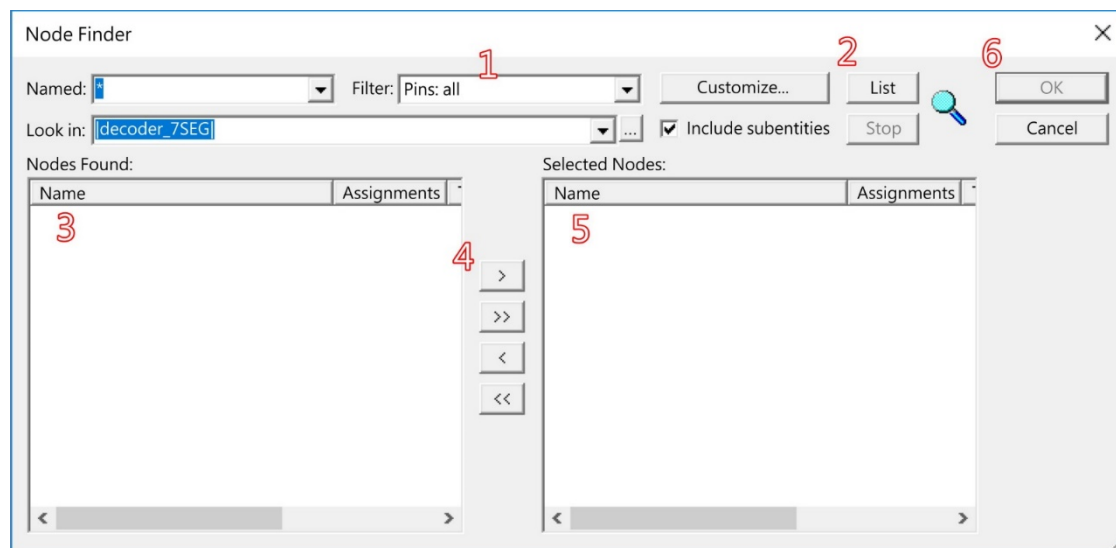
▲圖 2-1-15 滑鼠右鍵選單

**步驟 2** 選取 Insert/Insert Node or Bus... 選項，開啟 Insert Node or Bus 對話盒，如圖 2-1-16 所示。



▲圖 2-1-16 Insert Node or Bus 對話盒

**步驟 3** 按 **Node Finder...** 鈕開啟 **Node Finder** 對話盒，如圖 2-1-17 所示。

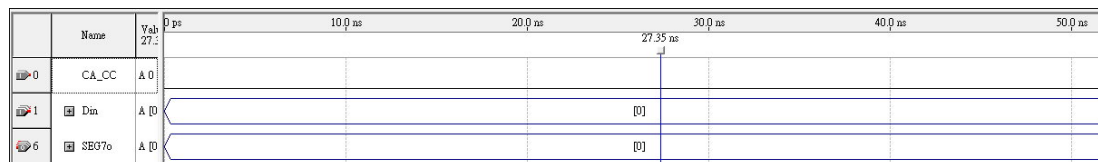


▲圖 2-1-17 Node Finder 對話盒

**步驟 4** 在 **Node Finder** 對話盒裡，進行下列操作：

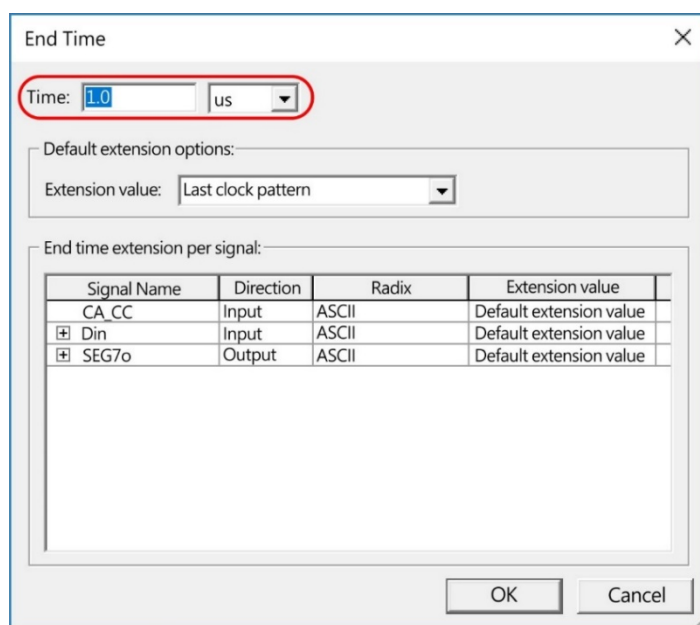
1. 在 **Filter** 欄位裡選取 **Pins: All** 選項(1)。
2. 按 **List** 鈕(2)，左邊的 **Nodes Found** 區塊(3)裡將條列所有節點。
3. 左邊的 **Nodes Found** 區塊裡選取 **CA\_CC**，再按 **>** 鈕(4)將該節點複製到右邊的 **Selected Nodes** 區塊(5)。
4. 同樣的方法，分別將 **Din** 與 **SEG7o** 節點複製到右邊的 **Selected Nodes** 區塊。
5. 按 **OK** 鈕(6)，關閉對話盒，退回前一個對話盒(圖 2-1-16)。

**步驟 5** 在 **Insert Node or Bus** 對話盒裡，按 **OK** 鈕，關閉對話盒，即可將所有節點帶入波形編輯區，如圖 2-1-18 所示。



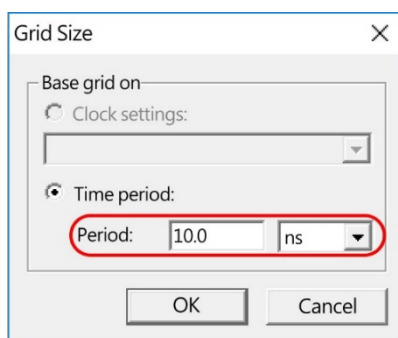
▲圖 2-1-18 載入所有節點

**步驟 6** 設定模擬時間長度：啟動 **Edit/End Time...**命令，開啟 **End Time** 對話盒，如圖 2-1-19 所示。在 **Time** 欄位裡設定為 2us，再按 **OK** 鈕關閉對話盒。



▲圖 2-1-19 End Time 對話盒

**步驟 7** 設定時間刻度：啟動 **Edit/ Grid Size...**命令，開啟 **Grid Size** 對話盒，如圖 2-1-20 所示。在 **Period** 欄位裡設定為 50 ns，再按 **OK** 鈕關閉對話盒。



▲圖 2-1-20 GridSize 對話盒

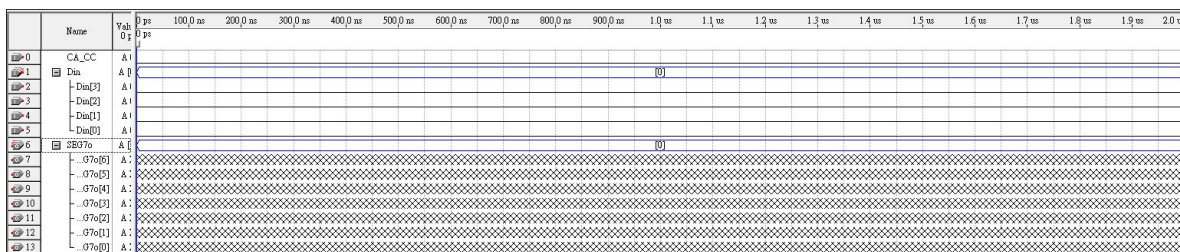
### 工作三：編輯激勵信號與電路模擬

所謂激勵信號是指所要加入電路輸入接腳的信號，而激勵信號將影響模擬的結果，好的激勵信號設計應能觸發電路的所有功能。本電路輸入接腳的信號，包括兩組：

1. 設定共陽極或共陰極的信號(**CK\_CC**)：在此將設定 1us 進行共陽極的解碼、1us 進行共陰極的解碼。
2. 輸入 16 進位數值信號(**Din**)：輸入數值由 0000 循序變化到 1111。

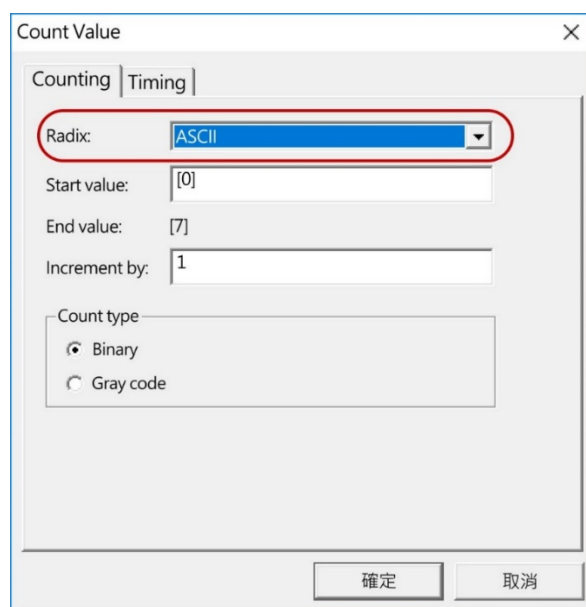
如下操作：

- 步驟 1** 按 **Ctrl** + **W** 鍵，decoder\_7SEG.vwf 波形編輯區裡將展示完整的波形長度。再按 Din 左邊的 **+**，展開 Din 信號、按 SEG7o 左邊的 **+**，展開 SEG7o 信號，如圖 2-1-21 所示。



▲圖 2-1-21 展示整個波形

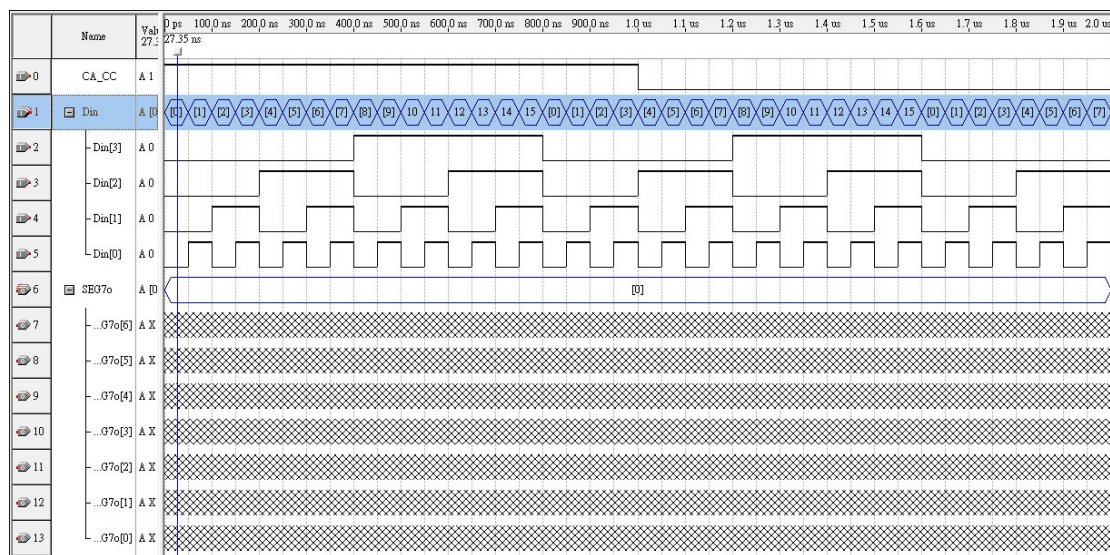
- 步驟 2** 原本 CA\_CC 信號都為低態，拖曳選取 CA\_CC 信號的 0~1.0us，使之呈現淡藍色。再按 **L** 鈕，則選取的部分，變為高態波形。
- 步驟 3** 選取 Din 信號，使之呈現淡藍色。再按 **Xc** 鈕，開啟 **Count Value** 對話盒，如圖 2-1-22 所示。在 **Radix** 欄位裡，選取 **Unsigned Decimal** 選項，讓 Din 信號波形上顯示無號十進位數(0~15)。



▲圖 2-1-22 Count Value 對話盒



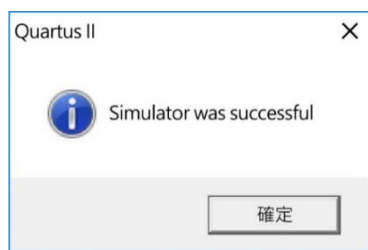
**步驟 4** 按  鈕關閉對話盒，並反應到 decoder\_7SEG.vwf 波形編輯區，如圖 2-1-23 所示。



▲圖 2-1-23 decoder\_7SEG.vwf 波形編輯區

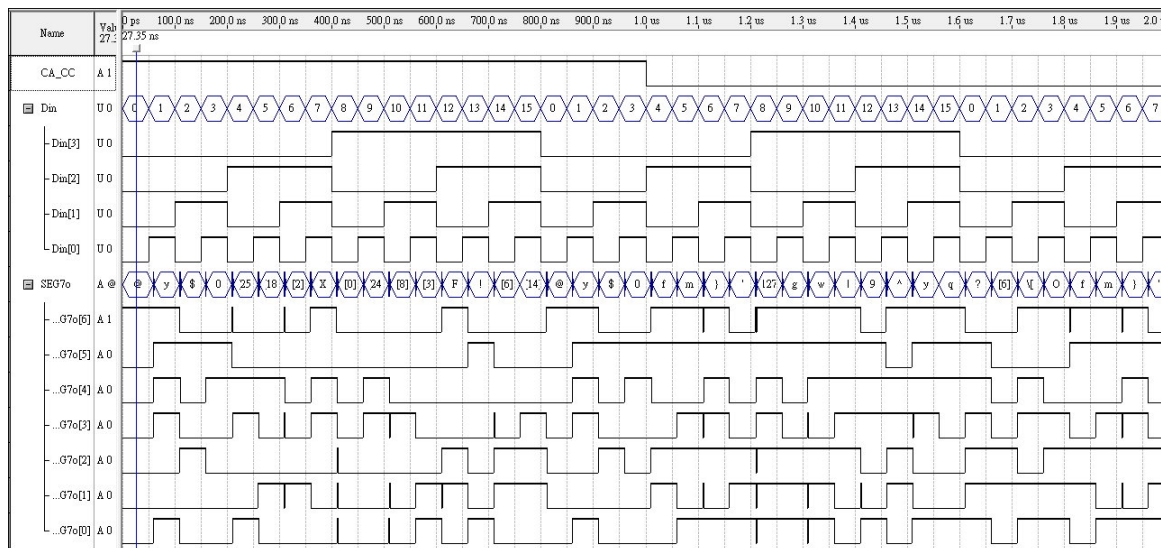
**步驟 5** 按  +  鍵關閉對話盒，再按  鈕(或按  +  鍵)重新編譯後，執行電路模擬，若螢幕出現如圖 2-1-13 所示之提示對話盒(2-13 頁)，則按  鈕關閉對話盒，程式將進行模擬。

**步驟 6** 完成模擬後，螢幕出現如圖 2-1-24 所示之對話盒，其中告訴我們已模擬成功。



▲圖 2-1-24 模擬成功

**步驟 7** 按  鈕關閉之，視窗裡新增一個 Simulation Report – Simulation Waveforms 頁(不是原本的波形編輯區)，如圖 2-1-25 所示，其中就是模擬結果。

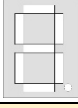
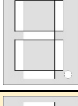



▲圖 2-1-25 模擬結果

**步驟 8** 請按模擬結果，在表 2-1-2 裡，描繪 0~799ns 之間的顯示圖。

▼表 2-1-2 分析操作表

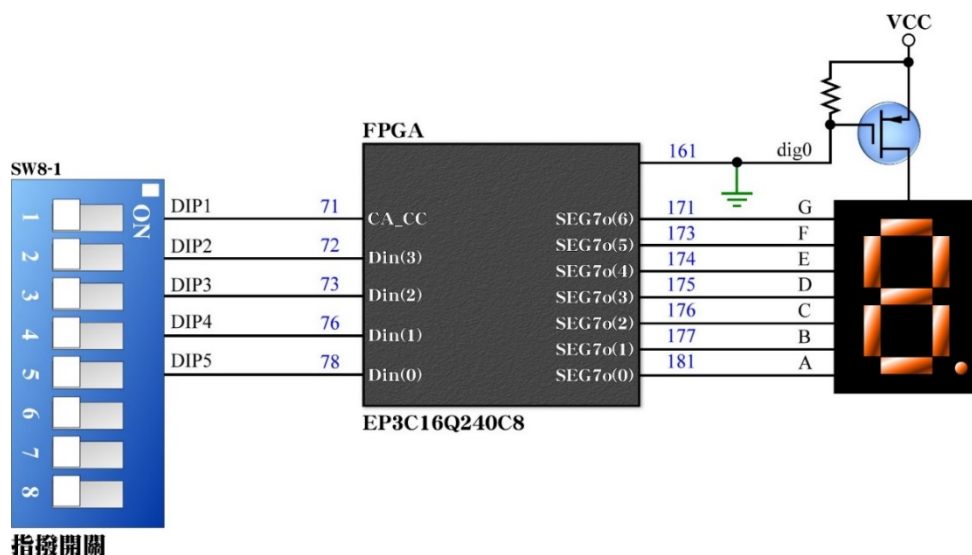
時間	量測狀態	顯示(請依輸出描繪)
0-49	CA_CC=1 執行共陽極的解碼、Din=0 SEG7o 輸出 1000000(gfedcba)	
50-99	CA_CC=1 執行共陽極的解碼、Din=1 SEG7o 輸出 1111001(gfedcba)	
100-149	CA_CC=1 執行共陽極的解碼、Din=2 SEG7o 輸出 0100100(gfedcba)	
150-199	CA_CC=1 執行共陽極的解碼、Din=3 SEG7o 輸出 0110000(gfedcba)	
200-249	CA_CC=1 執行共陽極的解碼、Din=4 SEG7o 輸出 0011001(gfedcba)	
250-299	CA_CC=1 執行共陽極的解碼、Din=5 SEG7o 輸出 0010010(gfedcba)	
300-349	CA_CC=1 執行共陽極的解碼、Din=6 SEG7o 輸出 0000010(gfedcba)	
350-399	CA_CC=1 執行共陽極的解碼、Din=7 SEG7o 輸出 1011000(gfedcba)	
400-449	CA_CC=1 執行共陽極的解碼、Din=8 SEG7o 輸出 0000000(gfedcba)	

時間	量測狀態	顯示(請依輸出描繪)
450-499	CA_CC=1 執行共陽極的解碼、Din=9 SEG7o 輸出 0011000(gfedcba)	
500-549	CA_CC=1 執行共陽極的解碼、Din=10 SEG7o 輸出 0001000(gfedcba)	
550-599	CA_CC=1 執行共陽極的解碼、Din=11 SEG7o 輸出 0000011(gfedcba)	
600-649	CA_CC=1 執行共陽極的解碼、Din=12 SEG7o 輸出 1000110(gfedcba)	
650-599	CA_CC=1 執行共陽極的解碼、Din=13 SEG7o 輸出 0100001(gfedcba)	
700-749	CA_CC=1 執行共陽極的解碼、Din=14 SEG7o 輸出 0000110(gfedcba)	
750-799	CA_CC=1 執行共陽極的解碼、Din=15 SEG7o 輸出 0001110(gfedcba)	

**步驟 9** 請將分析結果(表 2-1-2)與表 2-1-1(2-9 頁)比對，是否相符合？

### 燒錄與實體測試

在此要把設計結果下載到 FPGA，再透過 FPGA 的接腳連結到外部的指撥開關與七段顯示器，如圖 2-1-26 所示。



▲圖 2-1-26 線路連接


在 KTM-626 多功能開發平台裡，提供兩組 8 位元的指撥開關(SW8-1 與 SW8-2，都是低態動作)與四位數的共陽極七段顯示器，而且已接入 FPGA，如表 2-1-3 所示。

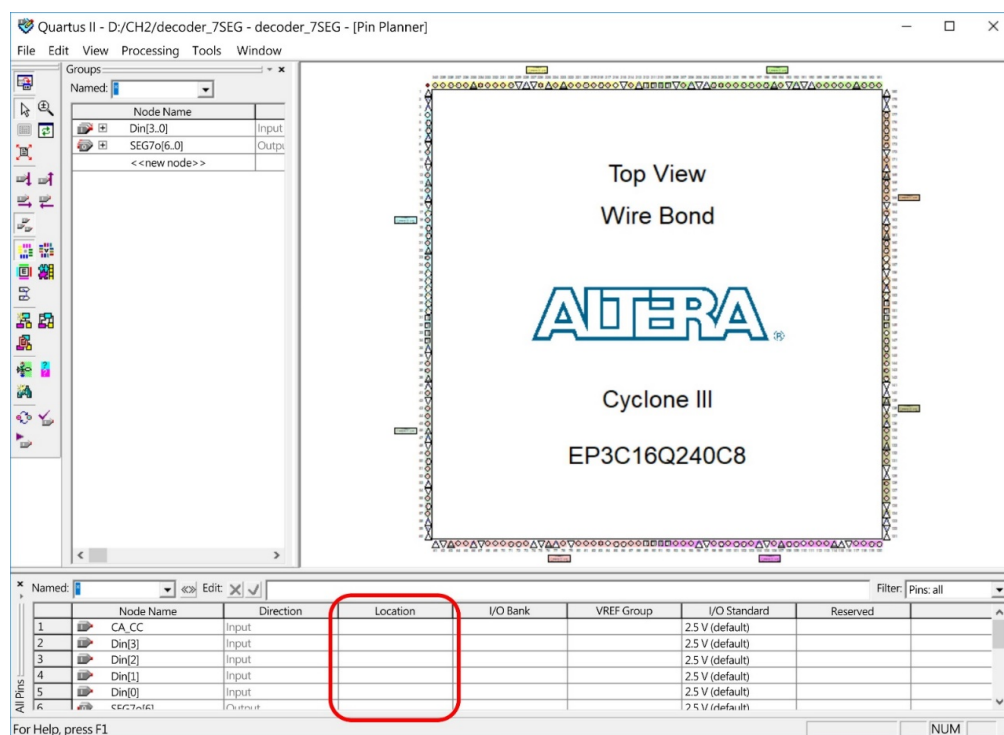
▼表 2-1-3 接線表

外部零件	外部零件接腳	FPGA 接腳	FPGA 內部信號
指撥開關 SW8-1	DIP1	71	CA_CC
	DIP2	72	Din(3)
	DIP3	73	Din(2)
	DIP4	76	Din(1)
	DIP5	78	Din(0)
七段顯示器 DS3-1	A	181	SEG7o(0)
	B	177	SEG7o(1)
	C	176	SEG7o(2)
	D	175	SEG7o(3)
	E	174	SEG7o(4)
	F	173	SEG7o(5)
	G	171	SEG7o(6)
	dig0	161	手工接地

根據這個接線表，在 KTM-626 多功能 FPGA 開發平台裡，大部分線都已內接到 FPGA，除了 dig0 必須使用一條杜邦線接地。另外，在 FPGA 的設計上，必須按此接線表，指定接腳。

### 工作一：指定接腳並編譯

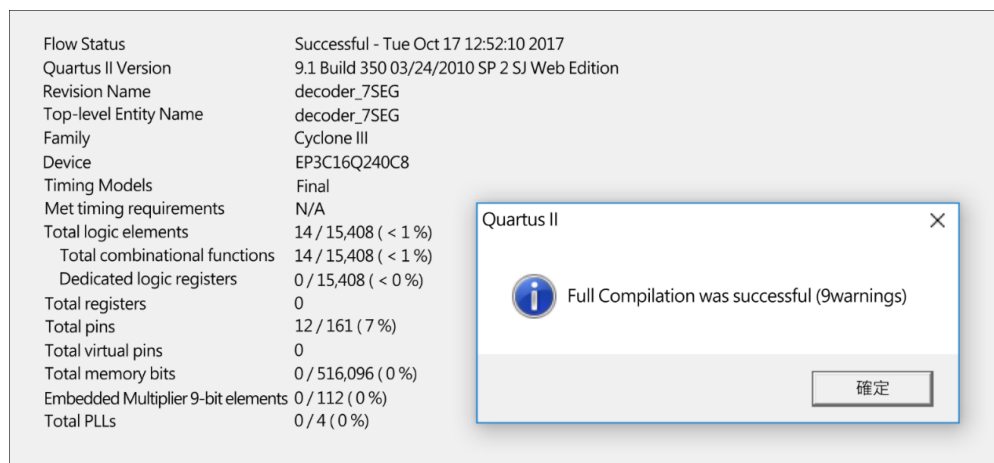
接續之前的操作，在 Quartus II 裡按  鈕(或按 **Ctrl** + **Shift** + **N** 鍵)，開啟接腳配置視窗，圖 2-1-27 所示。



▲圖 2-1-27 接腳配置視窗

根據表 2-1-3，在接腳配置視窗下方區塊裡設定接腳，例如要指定 CA\_CC 信號連接到 71 接腳，則指向 CA\_CC 的 Location 欄位，按一下滑鼠左鍵，該欄位變成藍色，再輸入 71  即可。同樣的方法，按表 2-1-3 分別指定 Din(3)~Din(0)、SEG7o(6)~SEG7o(0)的接腳。

完成接解配置後，切換到 Quartus II 的主視窗，按  +  鍵進行二次編譯，而編譯完成後，如圖 2-1-28 所示。



▲圖 2-1-28 完成編譯

按  鈕關閉對話盒即可。

## 工作二：連接下載線

CPLD/FPGA 所使用的下載線為 USB Blaster，如圖 2-1-29 所示，其 USB 端插入電腦的 USB 埠，另一端插入所要下載/燒錄的 CPLD/FPGA 板之 JTAG 埠。

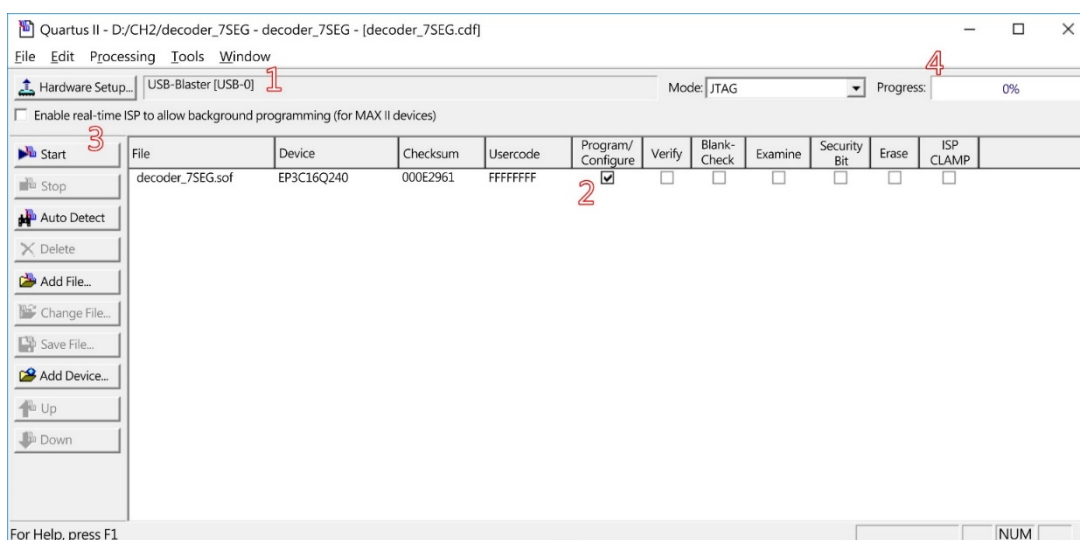


▲圖 2-1-29 下載線(USB Blaster)


## 工作三：下載(燒錄)

當我們要進行燒錄時，請按下列步驟操作：

- 步驟 1** 下載線連接完成後，開啟 CPLD/FPGA 板(KTM-626)的電源。
- 步驟 2** 在 Quartus II 裡，按 鈕(或按 **Alt**、**T**、**P** 鍵)，開啟燒錄視窗，如圖 2-1-30 所示。



▲圖 2-1-30 燒錄視窗

**步驟 3** 在燒錄視窗裡，確認上方欄位顯示 USB-Blaster(USB-0)(1)，再確認選取 Program/Configure 欄位的選項(2)，然後按  鈕(3)，開始燒錄，而燒錄的進度將顯示在右上欄位裡(4)。當進度達到 100%時，即完成燒錄。

#### 工作四：實體測試

當燒錄完成後，我們所設計的功能將展示在 KTM-626 多功能開發平台(或同等級 CPLD/FPGA 板)。在此的指撥開關電路為低態動作，當指撥開關切換到 ON 時為低態、切換到 OFF 時為高態。先將 DIP1 指撥開關切換到 OFF 位置(1)，以進行共陽極的解碼，再按表 2-1-4 操作，並將七段顯示器記錄在顯示欄位，看看是否符合預期？

▼表 2-1-4 操作表

數值	DIP2	DIP3	DIP4	DIP5	顯示
0	ON	ON	ON	ON	
1	ON	ON	ON	OFF	
2	ON	ON	OFF	ON	
3	ON	ON	OFF	OFF	
4	ON	OFF	ON	ON	
5	ON	OFF	ON	OFF	
6	ON	OFF	OFF	ON	
7	ON	OFF	OFF	OFF	
8	OFF	ON	ON	ON	
9	OFF	ON	ON	OFF	
10	OFF	ON	OFF	ON	
11	OFF	ON	OFF	OFF	
12	OFF	OFF	ON	ON	
13	OFF	OFF	ON	OFF	
14	OFF	OFF	OFF	ON	
15	OFF	OFF	OFF	OFF	

### 實習 2-2

## 邏輯分析儀之應用

### ① 實習目的

1. 認識邏輯分析儀。
2. 應用邏輯分析儀測試 PLD。

## 2 相關知識



## 示波器與邏輯分析儀

就像示波器一樣，邏輯分析儀(Logic Analyzer)都可用來觀察電路裡的信號波形，但各有特色，如表 2-2-1 所示。

▼表 2-2-1 示波器與邏輯分析儀之比較

示波器	邏輯分析儀
量測類比或數位波形	量測數位波形
量測週期性信號波形	量測指定時間之信號波形
量測信號大小之範圍可調整	量測信號大小固定
無信號分析與解碼功能	具有信號分析與解碼功能
不一定具有儲存信號功能	具有儲存信號功能
有類比式與數位式之分	數位式
兩個測試通道為多	具有多個測試通道(16、32 或更多)
Standalone 為主，但也有 PC-based	有 PC-based 與 Standalone 之分

## 提示

\* **PC-based**：必須搭配個人電腦使用，在個人電腦上安裝程式，透過信號量測裝置以量測信號。

優點：

- 透過電腦較大的螢幕，操作更容易，量測結果之解讀更清晰。
- 體積小，容易收納與保養。
- 價格較便宜。

缺點：

- 需要搭配 PC 或 NB 使用。

\* **Standalone**：屬於傳統儀器，不須搭配其他裝置，量測、操作與顯示都在一台儀器上。

優點：

- 不需要搭配額外裝置(如 PC 或 NB)，可直接使用。

缺點：

- 操作裝置小而集中，所以操作較不容易。
- 螢幕較小，量測結果之解讀較不易。
- 價格較昂貴。



## 邏輯分析儀簡介與基本操作

在此所採用 PC-based 邏輯分析儀，如圖 2-2-1 所示，測試棒由左側面引接(左圖)，在此採用的 LAP-C16128 提供 16 個測試通道。另外，量測時，除了連接測試通道外，一定要記得將待側端接地端連接到所要量測電路的接地端。

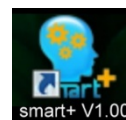


▲圖 2-2-1 LAP-C16128 邏輯分析儀之側面(左)與正面(右)

在正面(右圖)上，包括電源指示燈、TRIGGER 指示燈、READ 指示燈與 RUN 指示燈，還有一個啟動鈕(◀▶)，直接按一下這個鈕，即可重新量測，而不一定要在電腦螢幕上操作。

在右側只有一個 USB 埠(Type B)，使用 USB 線連接到電腦的 USB 埠，即可取得電源，並將量測到的信號資料，傳輸到電腦。

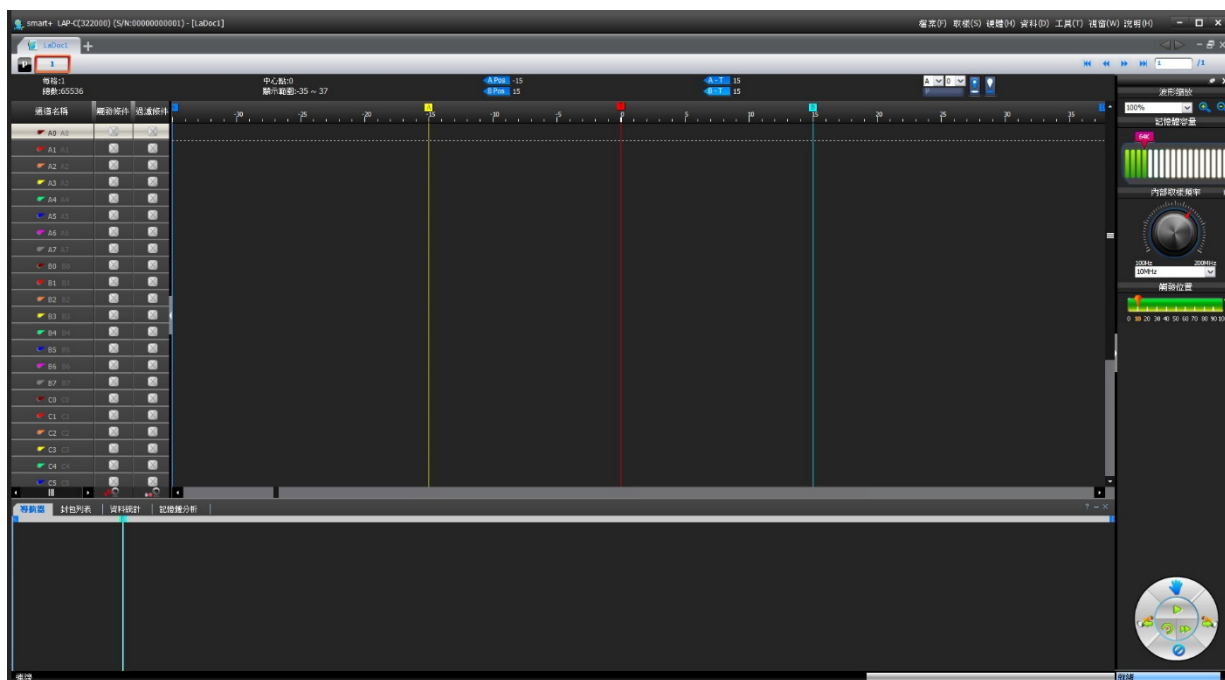
除了硬體外，在電腦裡還要安裝 smart+ 軟體與驅動程式，安裝完成後，桌面上自動產生一個捷徑，指向捷徑快按滑鼠左鍵兩下，即可啟動此程式。若電腦沒有連接 LAP-C 邏輯分析儀，螢幕出現如圖 2-2-2 所示之對話盒。



▲圖 2-2-2 詢問對話盒

若不想執行，可按 **退出** 鈕結束之。若確認 LAP-C 邏輯分析儀已連接，可按 **重試** 鈕，重新連接後開啟 smart+ 程式。若沒有 LAP-C 邏輯分析儀，也可按 **展示** 鈕開啟 smart+ 程式，並進入展示模式。

若已連接 LAP-C 邏輯分析儀，就不會出現此詢問對話盒，而直接開啟 smart+ 視窗，如圖 2-2-3 所示。



△圖 2-2-3 smart+視窗

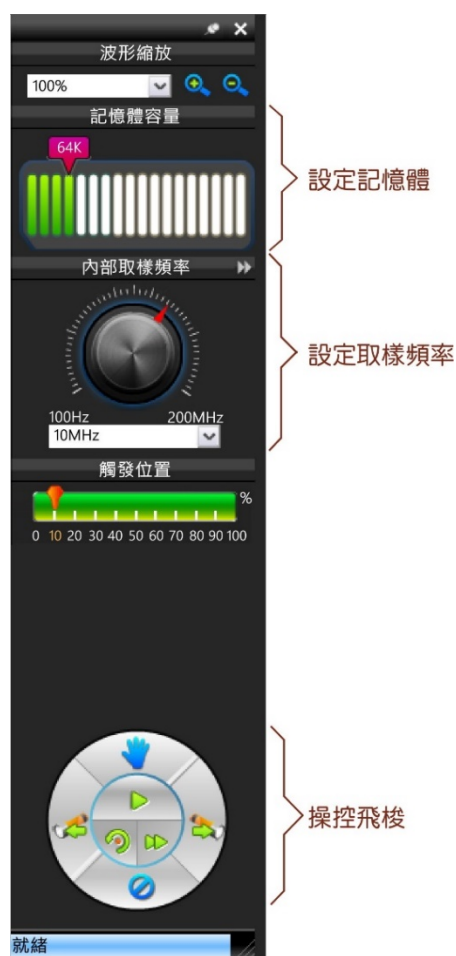
在數位電路的量測過程裡，主要是重複進行取樣、儲存兩個動作。我們必須設定每隔多久取樣一次，也就是取樣頻率。而取樣的結果將儲存在記憶體裡，當記憶體滿了，程式就停止取樣，並依據記憶體裡的資料，繪製波形。

若取樣頻率為 1KHz，每次取樣得到 1 bit 資料(0 或 1)，則 1 秒鐘就可取樣到 1K bit 資料。若設定的記憶體深度為 10K，則取樣 10 秒鐘，記憶體就滿了，而停止取樣。因此，取樣頻率越高，完成取樣的時間越短。若設定記憶體越多，則完成取樣的時間就越長。


- **取樣頻率的設定原則**：若所要量測電路中，信號的最高頻率為  $f_m$ ，理論上，取樣頻率至少為  $f_m$  的兩倍，但最好是 5~10 倍。例如所要量測電路的最高頻率為 5MHz，則取樣頻率設定為 25MHz~50MHz。
- **記憶體深度的設定原則**：通常記憶體容量的設定，必須能夠取樣到待測電路中，最低頻率信號 5 個週期為原則。

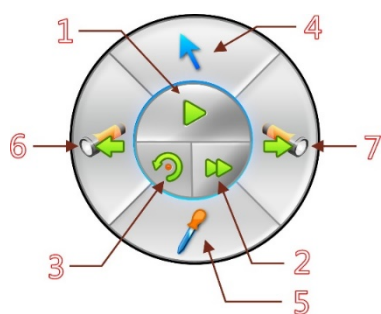
在視窗右邊的控制面板，如圖 2-2-4 所示，為此邏輯分析儀主要的操控部分。

- 在記憶體容量區塊裡可設定所要採用的記憶體容量，直接拖曳其中的記憶體容量尺，即可更改之。
- 在內部取樣頻率區塊裡可設定所要採用的取樣頻率，可拖曳旋鈕或直接在欄位中選取所要採用的取樣頻率。
- 在控制飛梭裡的操作鈕(圖 2-2-5)，如下說明：

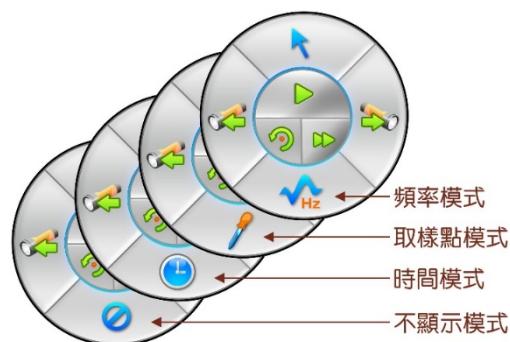


▲圖 2-2-4 控制面板

1. 標示 1 的按鈕：執行量測(相當於按 LAP-C 正面的  鈕或按 **F5** 鍵)，而記憶體存滿後，即停止執行。
2. 標示 2 的按鈕：執行連續量測功能，完成取樣後展示波形，然後重新取樣，以此類推。按本按鈕後，中間按鈕，將變成停止量測的按鈕。
3. 標示 3 的按鈕：執行自動量測功能，smart+ 將依所要量測的信號，自動選用較佳之記憶體深度、取樣頻率與觸發位置，以擷取信號。
4. 標示 4 的按鈕：切換波形視窗操作模式，smart+ 提供兩種模式，第一種為一般模式，滑鼠所操作的游標呈現箭頭狀，與一般視窗軟體的游標功能類似，可拖曳放大波形。第二種為移動模式，也就是許多繪圖軟體所提供的掌滑式控制，游標呈現手掌狀，只要指向波形視窗，再按住滑鼠左鍵不放，即可抓住其中波形，隨滑鼠而動。
5. 標示 5 的按鈕可切換切換波形上標註的資訊，smart+ 提供 4 種波形資訊標註模式，如圖 2-2-6 所示。



▲圖 2-2-5 操控飛梭



▲圖 2-2-6 波形標註模式

- 第一種為不顯示模式，波形上沒有標註。
- 第二種為時間模式，波形上以時間標註波形寬度。
- 第三種為取樣點模式，波形上標註取樣點。
- 第四種為頻率模式，波形上以頻率標註波形寬度。

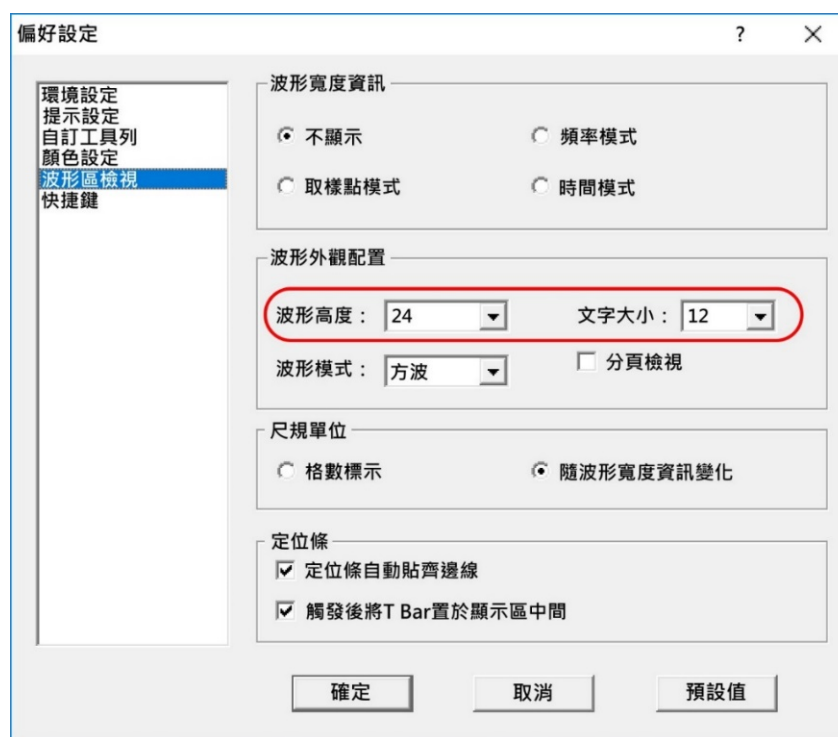
6. 標示 6 的按鈕的功能是在波形視窗搜尋上一個(往左搜尋)觸發點的位置。

7. 標示 7 的按鈕的功能是在波形視窗搜尋下一個(往右搜尋)觸發點的位置。

在波形區塊裡的操作，可應用滑鼠滾輪，如下說明：

- 滾輪往前推，波形往左移。
- 滾輪往後拉，波形往右移。
- 按住 **Ctrl** 鍵，滾輪往前推，波形放大(寬度)。
- 按住 **Ctrl** 鍵，滾輪往後拉，波形縮小。

若要改變每個通道的波形高度與波形上標示文字的大小，則啟動**工具/偏好設定...**命令，開啟**偏好設定對話盒**，再選取左邊的**波形區檢視**選項，切換到**波形區檢視頁**，如圖 2-2-7 所示。在**波形高度**欄位裡，設定每個通道的波形高度；在**文字大小**欄位裡，設定波形上的文字大小，按 **確定** 鈕關閉對話盒即可。



▲圖 2-2-7 偏好設定對話盒

### ③ 實習所需之設備與材料

● 儀表與工具表

頂次	名稱	規格	數量	備註
1	個人電腦	已安裝已安裝邏輯分析儀驅動程式	1 台	
2	邏輯分析儀	LAP-C	1 台	

### ④ 實習項目

在此將進行三項實習：

1. 測試線路之連接
2. 基本設定與量測
3. 信號分析

#### 測試線路之連接

接續 2-1 節的實習，確定已將設計資料下載到 FPGA，並在上電狀態下，進行下列操作：

- 步驟 1** 使用 USB 線連接 LAP-C 邏輯分析儀的 USB 埠到 PC 的 USB 埠。
- 步驟 2** 一條杜邦線連接 LAP-C 邏輯分析儀的 GND 到 FPGA 實驗板(KTM-626)的 GND 端。
- 步驟 3** 按表 2-2-2，連接 LAP-C 邏輯分析儀的與 FPGA 實驗板。

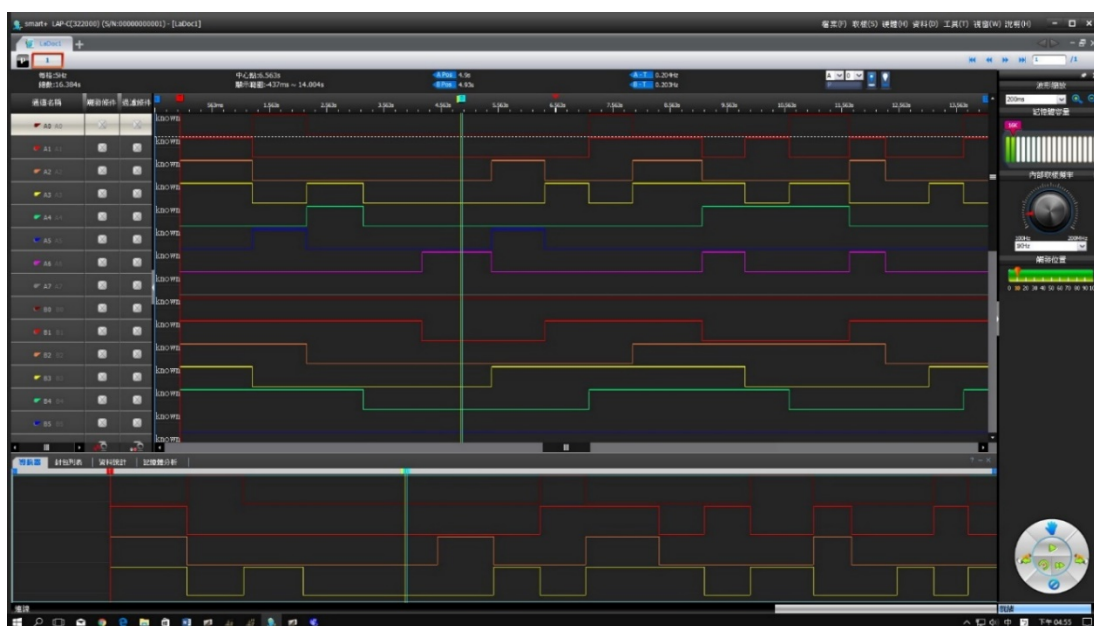
▼表 2-2-2 測試線路之連接表

LAP-C 測試通道	FPGA 接腳	信號名稱
A0	181	A
A1	177	B
A2	176	C
A3	175	D
A4	174	E
A5	173	F
A6	171	G
B0	71	CA_CC
B1	72	Din(3)
B2	73	Din(2)
B3	76	Din(1)
B4	78	Din(0)

## 基本設定與量測

在此將開啟 smart+ 程式，並在 smart+ 視窗裡，進行下列操作：

- 步驟 1** 在左邊面板的記憶體容量區塊裡，將記憶體容量調整為 16K。
- 步驟 2** 在左邊面板的內部取樣頻率區塊裡，將取樣頻率調整為 1K。
- 步驟 3** 啟動工具/偏好設定命令，在隨即開啟的對話盒裡，選取左邊的波形區檢視選項，切換到波形區檢視頁(圖 2-2-7，2-28 頁)。在波形高度欄位裡，設定每個通道的波形高度為 40，按  鈕關閉對話盒即可。



▲圖 2-2-8 量測結果

- 步驟 4** 準備沒有筆芯的原子筆(切換指撥開關之用)，按一下 LAP-C 正面的  鈕，然後不斷隨意切換 SW8-1 指撥開關的 DIP2~DIP5，做為輸入信號，直到邏輯分析儀取樣完畢，螢幕出現量測到的波形，如圖 2-2-8 所示。

## 信號分析

邏輯分析儀量測的結果(圖 2-2-8)與之前在 Quartus II 裡電路模擬的結果類似，所不同的是輸入信號。電路模擬的輸入信號是由我們所設定的，很順暢地由 0000 變化到 1111。而邏輯分析儀量測時，輸入信號是由我們搬動指撥開關所產生的，是真實的！

當然，邏輯分析儀不只有量測功能，還具有分析功能，可將量測的結果解析成很容易看懂的資料。下面就透過匯流排(bus)編制與解析，產生簡易的資料。

### 工作一：編輯 4 位元匯流排

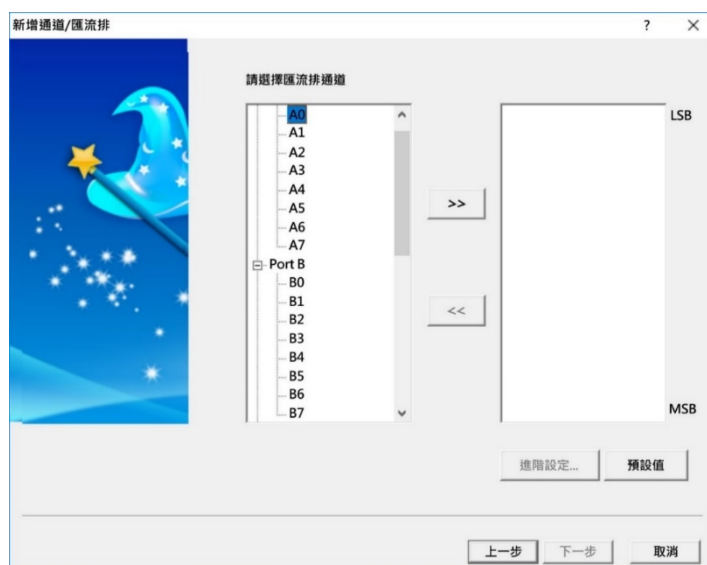
在此要將 Din(3)~Din(0)編制為 4 位元匯流排，如下步驟：

**步驟 1** 按 **Ctrl** + **B** 鍵開啟新增通道/匯流排對話盒，選取匯流排選項，如圖 2-2-9 所示。



▲圖 2-2-9 新增通道/匯流排對話盒

**步驟 2** 按 **下一步** 鈕，切換到下一個對話盒，如圖 2-2-10 所示。



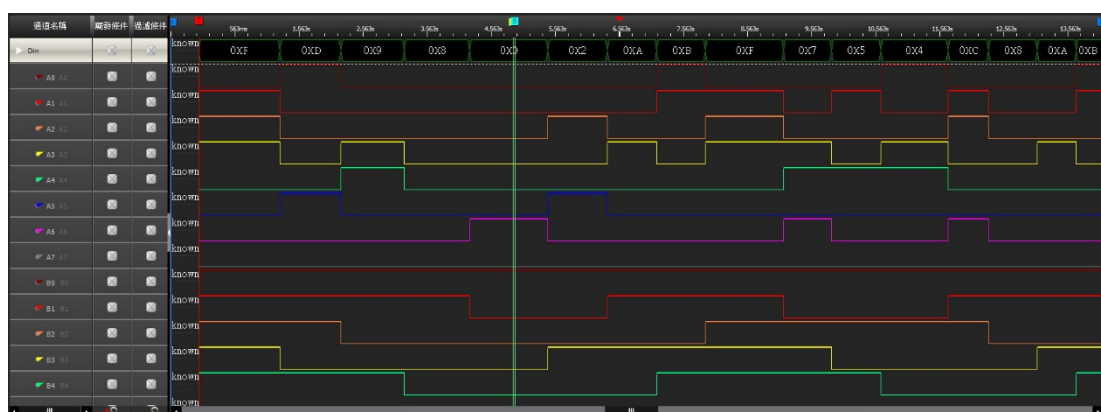
▲圖 2-2-10 指定信號

**步驟 3** 在左邊的區塊裡，選取 B4 選項，按 **>>** 鈕將他移到右邊區塊。同樣的方式，依序將 B3、B2 與 B1 選項移到右邊區塊。然後按 **下一步** 鈕切換到下一個對話盒，如圖 2-2-11 所示。



▲圖 2-2-11 指定匯流排名稱

**步驟 4** 在請輸入匯流排名稱欄位裡指定匯流排名稱，例如 Din，再按 **完成** 鈕關閉對話盒，即可完成此匯流排的定義，也會在波形視窗最上方，出現一個 Din 匯流排，如圖 2-2-12 所示。



▲圖 2-2-12 產生匯流排

## 工作二：編輯七段顯示器匯流排

七段顯示器的驅動信號比較不容易直接從七個信號波形中解讀，最好將這七個信號編制為七段顯示碼匯流排，其步驟如下：

**步驟 1** 按 **Ctrl** + **B** 鍵開啟新增通道/匯流排對話盒，如圖 2-2-13 所示，先選取**匯流排協定**選項，再指向光電左邊的+號，按滑鼠左鍵，展開其下選項，然後選取 **7-SEGMENT LED V1.16.01** 選項。





▲圖 2-2-13 指定匯流排協定

**步驟 2** 按 **下一步** 鈕切換到下一個對話盒，如圖 2-2-14 所示，先取消 DP 選項(1)、取消 COM0 選項(2)，再選取共陽選項(3)。



▲圖 2-2-14 7-SEGMENT LED 匯流排協定對話盒

**步驟 3** 在 FPGA 裡的七段顯示碼與邏輯分析儀的編碼有些許不同，如表 2-2-3 所示。

▼表 2-2-3 編碼差異

數字	FPGA 裡的編碼	邏輯分析儀的編碼
7		
9		

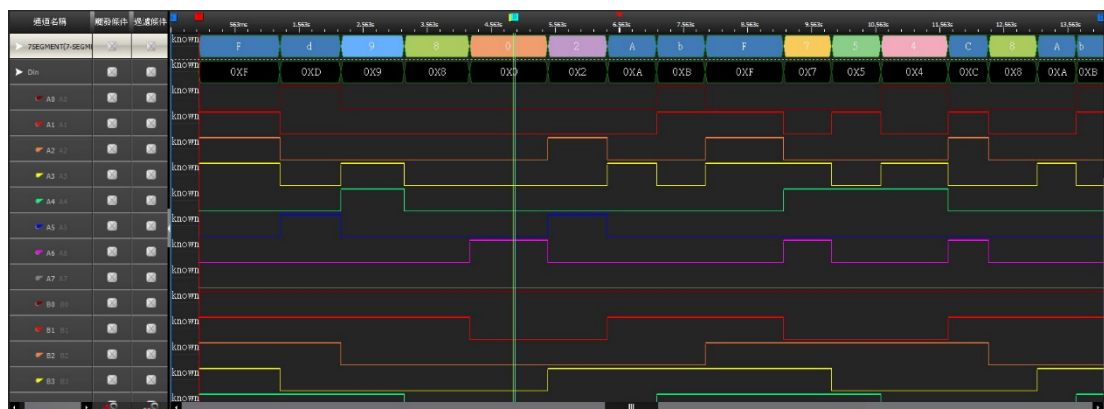
按 **解碼設定...** 鈕開啟 7-SEGMENT LED 匯流排協定對話盒，如圖 2-2-15 所示。

- 選取 7 的編碼，則右上角的七段顯示器顯示 7，指向七段顯示器的 f 段(左上段)，按滑鼠左鍵，該段就亮了。
- 選取 9 的編碼，則右上角的七段顯示器顯示 9，指向七段顯示器的 d 段(下段)，按滑鼠左鍵，該段就不亮了。



▲圖 2-2-15 7-SEGMENT LED 匯流排協定對話盒

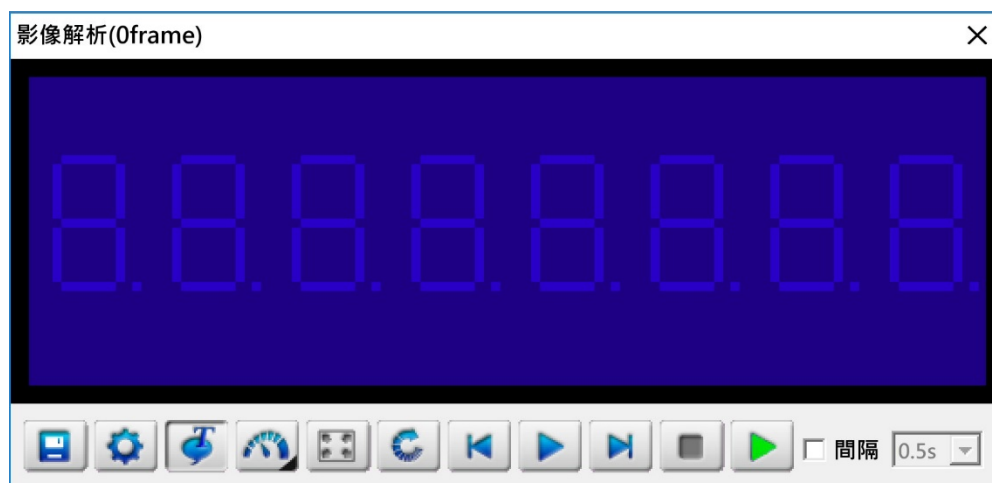
**步驟 4** 按 **確定** 鈕退回前一個對話盒，再按 **下一步** 鈕切換到下一個對話盒(圖 2-2-11，2-32 頁)，在請輸入匯流排名稱欄位裡指定匯流排名稱，例如 7-SEGMENT，再按 **完成** 鈕關閉對話盒，即可完成此匯流排的定義，也會在波形視窗最上方，出現一個 7-SEGMENT 匯流排，如圖 2-2-16 所示。



▲圖 2-2-16 產生 7-SEGMENT 匯流排

### 工作三：動態展示七段顯示器匯流排

LAP-C 邏輯分析儀還提供動態展示功能，接續前一個單元的操作，七段顯示器匯流排編輯完成後，指向右邊區塊中的 7-SEGMENT 七段顯示器匯流排，按滑鼠右鍵拉下選單，在選取**影像解析**選項，即可開啟**影像解析**視窗，如圖 2-2-17 所示。
















▲圖 2-2-17 影像解析視窗

若按 鈕，則最右邊數字將依序展示剛才在指撥開關切換所產生的數值。若按 鈕，則最右邊數字將切換到前一個變化(觸發)值。若按 鈕，則最右邊數字將切換到後一個變化值。

當然，這個視窗的功能，不只可顯示一個位數。若所測試的電路為多位數七段顯示器，則可顯示多位數，最多 8 位數。

## 一、選擇題

- ( ) 1. 在 VHDL 設計裡，下列敘述何者正確？  
(A) 專案名稱必須與頂層設計名稱相同 (B) 字母的大小寫有分別 (C) 信號名稱可使用中文 (D) 「//」右邊為註解文字。
- ( ) 2. 在 VHDL 設計裡，指定函數庫路徑的指令為何？  
(A) path (B) library (C) use (D) set library。
- ( ) 3. 在 VHDL 設計裡，定義實體區的關鍵字為何？  
(A) library (B) new (C) architecture (D) entity。
- ( ) 4. 在 VHDL 設計裡，關於輸出入埠之形式，何者有誤？  
(A) in (B) out (C) inout (D) register。
- ( ) 5. 在 Quartus II 裡，若要進行編譯，可使用什麼快速鍵？  
(A) 、 (B) 、 (C) +  
(D) +。
- ( ) 6. 在 VHDL 設計裡，Signal 應該在哪裡宣告？  
(A) 函數庫宣告區 (B) Begin 與 End 之間 (C) Architecture 與 Begin 之間  
(D) 實體區。
- ( ) 7. 下列何者是宣告匯流排的類型？  
(A) std\_logic (B) std\_logic\_vector (C) std\_logic\_bus (D) std\_bus。
- ( ) 8. 在 Quartus II 裡，如何開啟接腳配置視窗？  
(A) 按 ++ 鍵  
(B) 按 ++ 鍵  
(C) 按 、、 鍵  
(D) 按 、、 鍵。
- ( ) 9. 在 Quartus II 裡，如何開啟燒錄視窗？  
(A) 按 ++ 鍵  
(B) 按 ++ 鍵  
(C) 按 、、 鍵  
(D) 按 、、 鍵。
- ( ) 10. 在 Quartus II 的電路模擬裡，如何讓波形區展示全部波形？  
(A) 按 + 鍵 (B) 按 + 鍵  
(C) 按 + 鍵 (D) 按 + 鍵。
- ( ) 11. 關於 EP3C16Q240C8 晶片之敘述，下列何者有誤？  
(A) 此晶片具有 240 之接腳 (B) 屬於 Cyclone III 系列 (C) 具有 8K 個 LE  
(D) 此為 FPGA 晶片。

- ( )12. 使用 LAP-C 邏輯分析儀時，在 smart+視窗裡，若要建立匯流排，可使用什麼快速鍵？  
(A) 按 **Ctrl** + **B** 鍵 (B) 按 **Ctrl** + **G** 鍵  
(C) 按 **Ctrl** + **H** 鍵 (D) 按 **Ctrl** + **Z** 鍵。
- ( )13. LAP-C 邏輯分析儀如何取得電源？  
(A) 由待測電路取得電源 (B) 由外部電源供應器取得電源  
(C) 由 USB 線取得電源 (D) 內部電池供電。
- ( )14. LAP-C 邏輯分析儀所提供的七段顯示器影像解析視窗裡，最多有多少位數？  
(A) 4 位 (B) 6 位 (C) 8 位 (D) 10 位。
- ( )15. 使用 LAP-C 邏輯分析儀，如何開啟影像解析視窗？  
(A) 按 **Ctrl** + **W** 鍵 (B) 指向信號按右鍵，再選取選單中的影像解析選項  
(C) 啟動檢視/影像解析命令 (D) 啟動工具/影像解析命令。

## 二、簡答題

1. 試述 Quartus II 裡的專案精靈，建立專案包括哪幾項操作？
2. 試述 VHDL 設計檔包括哪三部分？
3. 試述在 Quartus II 裡，如何將電路中的節點(接腳)，放入波形視窗？
4. 應用邏輯分析儀量測數位電路時，兩項主要的量測參數為何？
5. 在 smart+裡，如何調整波形高度？

